

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIN FILM SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP6314787
Publication date: 1994-11-08
Inventor(s): SUZAWA HIDEOMI; others: 01
Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD
Requested Patent: JP6314787
Application Number: JP19940014889 19940113
Priority Number(s):
IPC Classification: H01L29/784; H01L21/265; H01L21/324
EC Classification:
Equivalents: CN1098227

Abstract

PURPOSE: To reduce leak current between a gate and a drain/source and provide breakdown strength for a high gate voltage by introducing an impurity of the conductivity type opposite to that of the source/drain at the edges of the semiconductor thin film of a thin film transistor to be used for an active matrix circuit.

CONSTITUTION: For an active matrix circuit 73, extremely small leak current between a source and a drain and between a gate and the drain is required for a thin film transistor since charges must be held. A doping impurity of the conductivity type opposite to the conductivity type of the source/drain of the thin film transistor which constitutes the active matrix circuit 73 is introduced into the edges of the island-shaped semiconductor area of the thin film transistor for the active matrix circuit 73. On a substrate 801, the active matrix circuit 73, peripheral circuits 71 and 72 which drive the active matrix circuit 73 and a lot of writings 75 and 76 which connect the peripheral circuits with the active matrix circuit are provided.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-314787

(43)公開日 平成6年(1994)11月8日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 29/784				
21/265				
21/324	Z 8617-4M	9056-4M	H 01 L 29/ 78 21/ 265	3 1 1 R W
審査請求 未請求 請求項の数10 FD (全 11 頁) 最終頁に続く				

(21)出願番号 特願平6-14889

(22)出願日 平成6年(1994)1月13日

(31)優先権主張番号 特願平5-71104

(32)優先日 平5(1993)3月5日

(33)優先権主張国 日本 (JP)

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 須沢 秀臣

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72)発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半

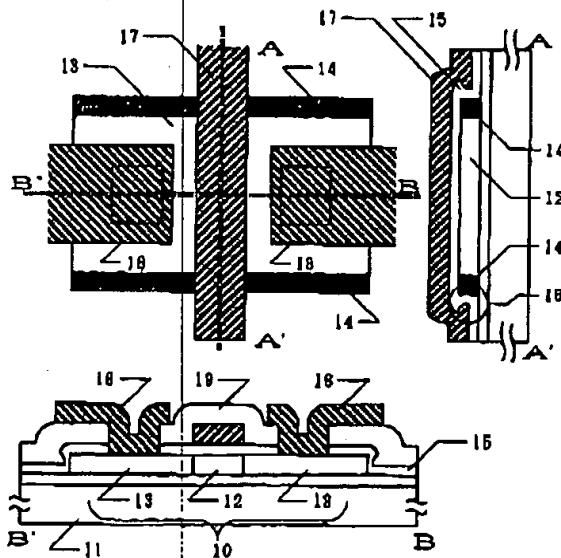
導体エネルギー研究所内

(54)【発明の名称】薄膜半導体装置およびその作製方法

(57)【要約】

【目的】薄膜トランジスタにおいて、ゲート電極・配線と薄膜半導体領域（活性層）との間の信頼性を向上させ、特性の改善を図る。

【構成】薄膜半導体領域の端部、特にゲート電極が横断する部分に不純物領域（ソース、ドレイン）とは逆の導電型を示す不純物を混入させることにより、ソース、ドレイン間のリーク電流を減少させる。



(2)

特開平6-314787

【特許請求の範囲】

【請求項 1】 絶縁表面を有する基板上に形成された島状の薄膜半導体領域と、前記半導体領域を横断するゲート電極とを有する薄膜半導体装置において、前記半導体領域の外側周辺部のうち、前記ゲート電極の下の部分の導電型は、前記半導体領域のソース、ドレイン領域の導電形と逆の導電形であることを特徴とする薄膜半導体装置。

【請求項 2】 請求項 1において、該島状の薄膜半導体領域はテーパー状のエッヂを有していることを特徴とする薄膜半導体装置。

【請求項 3】 請求項 1において、ソース、ドレイン領域の導電型と逆の導電型である領域の幅は、0.05～5 μm、好ましくは、0.1～1 μmであることを特徴とする薄膜半導体装置。

【請求項 4】 請求項 1において、島状の半導体薄膜のうち、ソース、ドレイン領域とは逆の導電形を示す部分と実質的に同じ部分に酸素、炭素、窒素のうち、少なくとも 1 つの元素を有していることを特徴とする薄膜半導体装置。

【請求項 5】 島状の薄膜半導体領域を形成する工程と、前記薄膜半導体領域の周辺部のうち少なくともゲート電極が横断する部分に、ソース、ドレイン領域とは逆の導電形を示す不純物を選択的に導入する工程と、前記薄膜半導体領域を横断してゲート電極を形成する工程と、前記ゲート電極をマスクとして自己整合的に前記薄膜半導体領域に不純物を導入してソース、ドレイン領域を形成することを特徴とする薄膜半導体装置の作製方法。

【請求項 6】 島状の薄膜半導体領域を実質的にアモルファス状態の半導体材料を用いて形成する工程と、前記薄膜半導体領域の周辺部にソース、ドレイン領域とは逆の導電形を示す不純物を導入する工程と、前記薄膜半導体領域にレーザーもしくはそれと同等な強光を照射して結晶化させる工程と、前記薄膜半導体領域を横断してゲート電極を形成する工程とを有することを特徴とする薄膜半導体装置の作製方法。

【請求項 7】 非単結晶半導体薄膜上に直接、もしくは間接にマスク材を形成し、フォトリソグラフィー法によって、島状にパターニングをおこなう工程と、ドライエッチング法もしくはウェットエッチング法によって、前記マスク材のパターンにしたがって、前記半導体薄膜を島状にエッチングする工程と、前記島状の半導体薄膜上にマスク材を残した状態で、N型もしくはP型の不純物のイオンを加速して照射する工程と、前記半導体薄膜を横断してゲート電極を形成する工程とを有することを特徴とする薄膜半導体装置の作製方法。

【請求項 8】 請求項 7において、該島状の半導体薄膜はテーパー状のエッヂを有していることを特徴とする薄膜半導体装置の作製方法。

10

20

30

40

50

【請求項 9】 請求項 8において、N型もしくはP型の不純物のイオンを加速して照射する工程の前後、もしくは同時に、島状の半導体薄膜のN型もしくはP型の不純物のイオンの照射された領域と実質的に同じ領域に酸素、炭素、窒素のうち、少なくとも 1 つの元素を導入する工程を有していることを特徴とする薄膜半導体装置の作製方法。

【請求項 10】 基板上に薄膜半導体装置によって構成された、アクティブマトリクス回路と、該アクティブマトリクス回路を駆動するための回路とを有する薄膜半導体集積回路において、該アクティブマトリクス回路に使用されている薄膜トランジスタの半導体薄膜のエッヂ部に選択的に該薄膜トランジスタのソース／ドレインとは逆の導電型を呈せしめる不純物が導入され、かつ、該薄膜トランジスタのゲート電極が上記不純物の導入された部分を横断していることを特徴とする薄膜半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜集積回路に用いる回路素子、例えば、薄膜トランジスタ（TFT）の構造および作製方法に関するものである。本発明によって作製される薄膜トランジスタは、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上に形成された絶縁体上、いずれにも形成される。

【0002】

【従来の技術】 従来、薄膜トランジスタは、薄膜半導体領域（活性層）を島状にパターニングして、形成した後、ゲート絶縁膜として、CVD法やスパッタ法によって絶縁被膜を形成し、その上にゲート電極を形成した。

【0003】

【発明が解決しようとする課題】 CVD法やスパッタ法で形成される絶縁被膜はステップカバージ（段差被覆性）が悪く、信頼性や歩留り、特性に悪影響を及ぼしていた。図 5 には従来の典型的な TFT を上から見た図、およびその図面の A-A'、B-B' に沿った断面図を示す。TFT は基板 51 上に形成され、薄膜半導体領域は不純物領域（ソース、ドレイン領域、ここでは N 型の導電型を示す）53 とゲート電極 57 の下に位置し、実質的に真正のチャネル形成領域 52 に分けられ、この半導体領域を覆って、ゲート絶縁膜 55 が設けられる。不純物領域 53 には、層間絶縁物 59 を通してコンタクトホールが開けられ、電極・配線 58 が設けられる。

【0004】 図から分かるように、ゲート絶縁膜 55 の半導体領域の端部における被覆性は著しく悪く、典型的には平坦部の厚さの半分しか厚みが存在しない。一般に島状半導体領域が厚い場合には甚だしい。特にゲート電極に沿った A-A' 断面からこのような被覆性の悪化が TFT の特性、信頼性、歩留りに及ぼす悪影響が分かる。すなわち、図 5 の A-A' 断面図において点線円で

(3)

特開平6-314787

3

示した領域5 6に注目してみれば、ゲート電極5 7の電界が薄膜半導体領域の端部に集中的に印加される。すなわち、この部分ではゲート絶縁膜の厚さが平坦部の半分であるので、その電界強度は2倍になるためである。

【0005】この結果、この領域5 6のゲート絶縁膜は長時間のあるいは高い電圧印加によって容易に破壊される。ゲート電極に印加される信号が正であれば、この領域5 6の半導体もN型であるので、ゲート電極5 7と不純物領域5 8(特に、ドレイン領域)が導通してしまい、信頼性の劣化の原因となる。また、ゲート電極に通常の電圧とは逆の電圧(Nチャネルトランジスタにおいてはドレインに正、ゲートに負の電圧)を印加した場合に、ソース/ドレイン間に流れる電流(オフ電流)が増大してしまった。典型的には、このオフ電流を減少、できれば 1×10^{-12} A以下にすることができない。

【0006】また、ゲート絶縁膜が破壊された際には、何らかの電荷がトラップされることが起こり、例えば、負の電荷がトラップされれば、ゲート電極に印加される電圧はほとんど関わりなく、領域5 6の半導体はN型を呈し、ソース/ドレインと同一導電型のバス(通路)ができるてしまう。そのため2つの不純物領域5 8が、島状の半導体領域の側周辺部分で電気的に導通することとなり、特性を劣化させる。また、以上のような劣化を引き起こさずにTFTを使用するには、半分の電圧しか印加しないようにするしかない。しかし、それではTFTの性能を十分に利用することができない。

【0007】また、TFTの一部にこのような弱い部分が存在するということは製造工程における帯電等によって容易にTFTが破壊されることであり、歩留り低下の大きな要因となる。本発明はこのような問題を解決することを課題とする。

【0008】

【発明を解決するための手段】本発明では、このように電気的に弱い領域の半導体をソース、ドレインを構成する不純物領域の導電型と逆にすることによって補うことを特徴とする。そして、その領域を0.05~5 μm、好ましくは0.1~1 μmの幅(上方から見た平坦部での幅)に作ることにより電流リーキを抑止することである。本発明の典型的な構造を図1に示す。図1も図5と同様にTFTを上から見た図面と、そのA-A'、B-B'断面の断面図を示している。TFTは基板11上に形成され、薄膜半導体領域は不純物領域(ソース、ドレイン領域、ここではNチャネル型TFTであるためN型の導電型を示し、また、外側の周辺部はP型の不純物のホウ素を $1 \times 10^{16} \sim 3 \times 10^{18}$ cm⁻³の濃度に添加した。また、他方、Pチャネル型TFTではP型のソース、ドレインとし、駆動領域にはN型の不純物を添加する)13とゲート電極17の下に位置し、実質的に真性のチャネル形成領域12に分けられ、この半導体領域を覆って、ゲート絶縁膜15が設けられる。不純物領域1

4

3には、層間絶縁物19を通してコンタクトホールが開けられ、電極・配線18が設けられる。

【0009】図5で示した従来のTFTと異なる点は、少なくともゲート電極の下部の島状の半導体領域10の周辺部、すなわち領域の外側端部に、不純物領域(ソース、ドレイン領域)13の導電形とは逆の導電形の領域14を設けたことである。例えば、不純物領域がN型であれば、領域14にはP型の導電型を示す不純物を導入し、不純物領域がP型であれば、領域14にはN型の導電型を示す不純物を導入する。特に領域14の不純物濃度はゲート電極に印加した電圧によって反転しない程度の十分なドーピング(具体的には $1 \times 10^{16} \sim 3 \times 10^{18}$ cm⁻³、好ましくは、 $1 \times 10^{18} \sim 1 \times 10^{19}$ cm⁻³)が望まれる。この不純物濃度が、 1×10^{19} cm⁻³またはそれ以上となると、ドレインとの耐圧が弱くなり、アバランシエ・ホット・キャリヤが発生してしまう。なお、ゲート電極の下の部分以外においては、不純物領域13のドーピングの際に、領域14の導電型が反転してしまうことがあるが、実質的に何ら問題はない。

【0010】この領域14の効果に関して、A-A'断面の領域16に注目して説明する。従来のTFTの場合と同様に、このような半導体領域の端部におけるゲート絶縁膜の被覆性は良くない。したがって、この部分ではゲート絶縁膜が破壊されて、ピンホールが生じたり、電荷がトラップされたりする。ピンホールが生じた場合を考える。従来であれば、ゲート電極に印加された電圧によってチャネル形成領域12のうち、領域16の部分も不純物領域13と同じ導電型に変化しているのであるが、本発明においては、この領域14は不純物領域とは逆の導電型にドーピングされているので、ゲート電極に電圧が印加されても導電形が反転しないか、少なくとも良好な導電性を示さない。

【0011】このため、特にゲート電極とドレイン領域間のリーク電流を著しく低減せしめることができる。また、ゲート絶縁膜の破壊によって好ましくない電荷がトラップされた場合においても、領域16では半導体領域の導電型が不純物領域のものと同じではないので、ソース領域とドレイン領域が導通することは防止できる。このようにゲート絶縁膜が破壊されても特性や信頼性に問題が生じないのであれば、使用時の電圧の制限は少なくなり、また、製造時の静電破壊等による不良品の発生の確率も低下し、歩留りが向上する。

【0012】図1においては薄膜半導体領域のゲート電極の横断する側の端部全てに不純物領域13とは逆の導電形の領域14を設けた様子を示したが、このような領域は少なくともゲート電極の下の領域に設ければ十分であることは、以上の説明から明らかであろう。また、領域14には、上記P型(もしくはN型)不純物以外に、炭素、空素、酸素等を添加すると、領域14の抵抗が増加するため、一層、耐圧が向上し、信頼性の高い

(4)

特開平6-314787

5

TFTが得られた。以下に実施例を示し、さらに本発明を説明する。

【0013】

【実施例】

【実施例1】 図2に本実施例の作製工程の断面図を示す。本実施例を含めて、以下の実施例の図面では、TFTの断面図のみを示し、いずれも左側にはゲート電極に垂直な面(図1、図5の断面B-B'に相当)を有するTFTを構成し、また、右側にはゲート電極に平行な面(図1、図5の断面A-A'に相当)を有するTFTを構成する例を示す。

【0014】まず、基板(コーニング7059)20上にプラズマCVD法またはスパッタリング法によって厚さ2000Åの酸化珪素または空化珪素、あるいはそれらの多層膜の下地膜21を形成した。さらに、プラズマCVD法によって、厚さ300~1500Å、例えば1000Åのアモルファスシリコン膜を堆積した。連続して、スパッタリング法によって、厚さ200Åの酸化珪素膜を保護膜として堆積した。そして、これを還元雰囲気下、600°Cで48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。そして、得られた結晶シリコン膜をバーニングして、島状シリコン領域22a、22bを形成した。島状シリコン膜の上には保護膜23a、23bがそれぞれ乗っている。この保護膜は、その後のフォトリソグラフィー工程において、島状シリコン領域が汚染されることを防止する作用がある。

【0015】次に全面にフォトレジストを塗布して、公知のフォトリソグラフィー法によって、レジスト24a、24bを残してバーニングし、その幅は0.05~5μm、好ましくは0.1~1μmの幅に形成した。そして、このレジストをマスクとしてホウ素を $1 \times 10^{13} \sim 3 \times 10^{14} \text{ cm}^{-2}$ 、好ましくは $1 \times 10^{14} \sim 1 \times 10^{17} \text{ cm}^{-2}$ の濃度に導入した。ホウ素の導入にはプラズマドーピング法を用いた。ドーピングガスとしてはジボラン(B₂H₆)を用い、rfパワー10~30W、例えば10Wで放電させてプラズマを発生させ、これを加速電圧20~60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、 $1 \times 10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $3 \times 10^{14} \sim 1 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、P型の領域25a、25b、25c、25dを形成した。(図2(A))

【0016】次に、スパッタリング法またはプラズマCVD法によって厚さ500~1500Å、例えば1000Åの酸化珪素膜26をゲート絶縁膜として堆積し、引き続いて、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのシリコン膜(0.1~2%の焼を含む)を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をバーニングして、配線27a、2

10

6

27bを形成した。これらの配線は、いずれもゲート電極として機能する。(図2(B))

【0017】次に、プラズマドーピング法によって、シリコン領域に配線27aをマスクとして不純物(焼)を注入した。ドーピングガスとして、フォスфин(PH₃)を用い、加速電圧を60~90kV、例えば80kVとした。ドーズ量は $1 \times 10^{14} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、先のホウ素のドーズ量よりも大きい $5 \times 10^{15} \text{ cm}^{-2}$ とした。その後、還元雰囲気中、600°Cで48時間アニールすることによって、不純物を活性化させた。このようにして不純物領域28a、28bを形成した。この場合には、先に形成されたホウ素領域のうち、後から焼が導入されなかった領域25c、25dはP型を示すのに対し、焼が導入された領域25a、25bは多量の焼のドーピングによってN型になっているが、本発明の技術思想からは何ら問題はない。(図2(C))

20

【0018】続いて、厚さ3000Åの酸化珪素膜を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、空化チタンとアルミニウムの多層膜によって配線29a、29bを形成した。配線29aは配線27bとTFTの不純物領域の一方28bを接続する。以上の工程によって半導体回路が完成した。(図2(D))

30

【0019】【実施例2】図3に本実施例の作製工程の断面図を示す。基板(コーニング7059)301の絶縁表面上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜302を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば1000Åのアモルファスシリコン膜を堆積した。連続して、スパッタリング法によって、厚さ200Åの酸化珪素膜を保護膜として堆積した。そして、これを還元雰囲気下、600°Cで48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。そして、得られた結晶シリコン膜を公知のフォトリソグラフィー法によってバーニングして、島状シリコン領域303a、303bを形成した。島状シリコン膜の上には保護膜が残されている。また、エッティングに用いたフォトレジストのマスク304a、304bも残されている。なお、このエッティング工程においては等方エッティング法(例えば、緩衝フッ酸によるウェットエッティング)を用い、半導体領域の側端部を図に示すようにテバーパー状とした。この角度は基板表面については30~60°を有せしめた。この図面では半導体領域303aはTFTとし、また、半導体領域303bは他の回路であるキャパシタとした。

40

【0020】次に、このレジストをマスクとしてホウ素を導入した。ホウ素の導入にはプラズマドーピング法を用いた。ドーピングガスとしてはジボラン(B₂H₆)を用い、加速電圧20~60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、 1×1

50

(5)

特開平6-314787

7

$0^{11} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、例えば、 $1 \times 10^{14} \text{ cm}^{-2}$ とした。この結果、P型の領域305a、305b、305c、305dを形成した。(図3 (A))

【0021】次に、スパッタリング法によって厚さ1000Åの酸化珪素膜306をゲート絶縁膜として堆積し、引き続いて、スパッタ法によって、厚さ4000~8000Å、例えば6000Åのアルミニウム膜(0.2重量%のスカンジウムを含む)を堆積した。なお、この酸化珪素とアルミニウム膜の成膜工程は連続的におこなうことが望ましい。そして、アルミニウム膜をバーニングして、配線307a、307bを形成した。これらの配線は、いずれもゲート電極として機能する。さらに、このアルミニウム配線の表面を陽極酸化して、表面に酸化物層309a、309bを形成した。陽極酸化の前に感光性ポリイミド(フォトニース)によって後でコンタクトを形成する部分にマスク308を選択的に形成した。陽極酸化の際には、このマスクのために、この部分には陽極酸化物が形成されなかった。

【0022】陽極酸化は、酒石酸の1~5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは2000Åであった。次に、プラズマドーピング法によって、シリコン領域に配線307aおよび酸化物309aをマスクとして不純物(堿)を注入した。ドーピングガスとして、fosfifin(PH_3)を用い、加速電圧を60~90kV、例えば80kVとした。ドース量は $1 \times 10^{16} \sim 8 \times 10^{16} \text{ cm}^{-2}$ 、例えば、先のホウ素のドース量よりも大きい $5 \times 10^{16} \text{ cm}^{-2}$ とした。このようにしてN型の不純物領域310a、310bを形成した。この際には、実施例1の場合と同様に先に形成されたホウ素のドーピングされた領域305a、305bはN型に転換している。(図3 (B))

【0023】その後、レーザーアニール法によって不純物の活性化をおこなった。レーザーとしてはKrFエキシマーレーザー(波長248nm、パルス幅20nsec)を用いたが、その他のレーザー、例えば、XeFエキシマーレーザー(波長353nm)、XeClエキシマーレーザー(波長308nm)、ArFエキシマーレーザー(波長193nm)等を用いてもよい。レーザーのエネルギー密度は、 $200 \sim 350 \text{ mJ/cm}^2$ 、例えば 250 mJ/cm^2 とし、1か所につき2~10ショット、例えば2ショット照射した。レーザー照射時に、基板を200~450°C程度に加熱してもよい。基板を加熱した場合には最適なレーザーエネルギー密度が変わることに注意しなければならない。なお、レーザー照射時にはポリイミドのマスク308を残しておいた。これは露出したアルミニウムがレーザー照射によってダメージを受けるからである。レーザー照射後、このポリイミドのマスクは酸素プラズマ中にさらすことによって簡単に除去できる。

【0024】なお、本実施例では、実施例1の場合と異

8

なり、ゲート電極の下のホウ素の注入された領域305c、305dはレーザー光が入射しないので、活性化率が低いが、イオンの注入の際に結晶性が破壊されているので極めて大きな抵抗として機能し、リーク電流を低下させる目的では効果的であった。(図3 (C))

しかし、他方、図3 (A)にてテーパー状の側端部を有する島状領域を作り、その後、ホウ素をイオン注入して形成した。さらには、レーザー光を $50 \sim 350 \text{ mJ/cm}^2$ で照射し、島状領域の全てを結晶化せしめた。すると、側端部はP型化し、内部はI型の真性または実質的に真性の導電型を有せしめて、さらに前記した如く、ゲート絶縁膜、ゲート電極、ソース/ドレインを形成すればよい。かくすると、ゲート電極下の島状領域端部も十分結晶化されたP、もしくはP型領域とすることができ、N型のソース/ドレイン間のリークを防ぐことができる。

【0025】続いて、厚さ3000Åの酸化珪素膜311を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線312a、312bを形成した。配線312aは配線307bとTFTの不純物領域の一方310bを接続する。以上の工程によってTFT313a(図ではゲート電極に垂直な断面)および313b(図ではゲート電極に平行な断面)が形成した。(図3 (D))

なお、本実施例において、TFTのソースもしくはドレンの電極のいずれかを設けなければゲート電極と残りの不純物領域の間にキャパシタが形成されることは明らかであろう。したがって、本実施例と同等な手段を用いても、耐圧が高い、リークが少ない等の優れた特性を信頼性を有するキャパシタが得られる。そして、このようにして形成したTFTおよびキャパシタを用いてアクティブマトリクス型液晶ディスプレーの画素回路を構成してもよい。本発明のTFTにより、オフ電流を1pAまたはそれ以下とすることができ、十分な機能を有せしめることができた。

【0026】(実施例3) 図4に本実施例の作製工程の断面図を示す。基板(コーニング7059)40上にスパッタリングによって厚さ2000Åの酸化珪素の下地膜41を形成した。さらに、プラズマCVD法によって、厚さ500~1500Å、例えば1500Åのアモルファスシリコン膜を堆積した。そして、得られたアモルファスシリコン膜をバーニングして、島状シリコン領域42a、42bを形成した。

【0027】次に全面にフォトレジストを塗布して、公知のフォトリソグラフィー法によって、レジスト43a、43bを残してバーニングした。そして、このレジストをマスクとしてホウ素を導入した。ホウ素の導入にはプラズマドーピング法を用いた。この結果、P型の領域44a、44b、44c、44dを形成した。(図

(6)

特開平6-314787

9

4 (A))

【0028】次にフォトレジストを残したまま、スパッタ法によって厚さ1000Åの酸化珪素膜45aを堆積した。(図4(B))

そして、フォトレジストを剥離することによって、その上に形成されていた酸化珪素膜まで除去した。フォトレジストの存在していなかった部分にはそのまま酸化珪素膜が残る。これを還元雰囲気下、600°Cで48時間アニールして結晶化させた。結晶化工程はレーザー等の強光を用いる方式でもよい。

【0029】次に、スパッタリング法によって厚さ1000Åの酸化珪素膜45bをゲート絶縁膜として堆積し、引き続いて、減圧CVD法によって、厚さ6000~8000Å、例えば6000Åのシリコン膜(0.1~2%の燐を含む)を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をバーニングして、配線46a、46bを形成した。これらの配線は、いずれもゲート電極として機能する。また、島上シリコン領域の周辺部(先にホウ素が注入された領域)に注目すると、ここでは絶縁膜の厚さが酸化珪素45aおよび45bによって、約2倍になっている。そのため、ゲート絶縁膜の破壊を防ぐうえで効果的である。(図4(C))

【0030】次に、プラズマドーピング法によって、シリコン領域に配線46aをマスクとして不純物(燐)を注入した。ドーピングガスとして、フォスフィン(PH₃)を用いた。その後、還元雰囲気中、600°Cで48時間アニールすることによって、不純物を活性化させた。このようにして不純物領域47a、47bを形成した。続いて、厚さ3000Åの酸化珪素膜48を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によって配線49a、49bを形成した。配線49aは配線46bとTFTの不純物領域の一方47bを接続する。以上の工程によって半導体回路が完成した。(図4(D))

本実施例によって、歩留りが従来の2倍以上に改善された。また、TFTの特性の悪化は特に認められなかつた。逆に使用に耐えうる最大電圧が従来の1.5~2倍に上昇したために、最高動作速度が2~4倍上昇した。

【0031】【実施例4】図6に本実施例を示す。まず、基板60上に厚さ1000~3000Åの酸化珪素の下地膜61を形成した。さらに、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を100~5000Å、好ましくは300~1000Å堆積した。アモルファスシリコン膜上には保護膜として、酸化珪素膜を100~500Å堆積した。そして、公知のフォトリソグラフィー法によってレジストのマスク63a、63bを形成し、ドライエッチング法によって、アモルファスシリコンのエッチングをおこなった。このと

きのエッチング条件は、以下のようにであった。

RFパワー : 500W
圧力 : 100mTorr
ガス流量

CF₄ : 50 sccm
O₂ : 45 sccm

【0032】この結果、図6(A)に示すように、島状のシリコン領域62a、62bが得られたが、そのエッチ部は図のようにテーパー状になっていた。このテーパーの角度は20~60°であった。エッチングにおいて、比率CF₄/O₂が大きくなると、このようなテーパー状のエッチを得ることはできなかつた。次に、このレジストをマスクとしてホウ素を導入した。空素の導入にはプラズマドーピング法を用いた。ドーピングガスとしてはジボラン(B₂H₆)を用い、加速電圧20~60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、1×10¹⁴~5×10¹⁴cm⁻²、例えば、1×10¹⁵cm⁻²とした。この結果、レジストがなかつた、もしくは、薄かったシリコン領域のエッチ部64a、64b、64c、64dに選択的にホウ素がドーピングされた。(図6(A))

さらに、プラズマドーピング法によって、連続的に空素をドーピングした。ドーピングガスとしては空素(N₂)を用い、加速電圧20~60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、1×10¹⁴~5×10¹⁴cm⁻²、例えば、1×10¹⁴cm⁻²とした。この結果、シリコン領域のエッチ部64a、64b、64c、64dに空素がドーピングされた。

【0033】その後、フォトレジストのマスク材63a、63bと、その下の保護膜を除去し、島状のシリコン膜を露出させた状態で、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、アモルファスシリコンの結晶化をおこなつた。レーザーとしては、XeClエキシマーレーザー(波長308nm、パルス幅50nsec)を用いてもよかつた。その後、スパッタ法もしくはプラズマCVD法によって、厚さ1000~1500Åの酸化珪素膜65を形成し、引き続ぎ、厚さ1000Å~3μmのアルミニウム(1wt%のSi、もしくは0.1~0.3wt%のSc(スカンジウム)を含む)膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。

【0034】そして、その表面に公知のスピニコート法によってフォトレジストを塗布し、公知のフォトリソグラフィー法によって、バーニングをおこなつた。そして、燐酸によって、アルミニウム膜のエッチングをおこなつた。このようにして、ゲート電極・配線66a、66bを形成した。なお、ゲート電極・配線上にはフォトレジストのマスク67a、67bをそのまま残存させておいた。また、オーバーエッチのために、ゲート電極・

(7)

特開平6-314787

11

配線の側面はフォトレジストの側面よりも内側にある。
(図6 (B))

【0035】この状態で、プラズマドーピング法によって、TFTの活性半導体層62a、62bに、フォトレジスト67a、67bをマスクとして不純物(燐)を注入し、N型のソース68a、ドレイン68bを形成した。ここで、フォトレジスト67aに対して、ゲイト電極66aは距離xだけ内側にあるため、図に示したように、ゲイト電極とソース/ドレインが重ならないオフセット状態となっている。距離xは、アルミニウム配線の隙のエッチング時間を加減することによって増減できる。xとしては、0.3~5μmが好ましかった。(図6 (C))

【0036】その後、フォトレジスト67a、67bを剥離し、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。(図6 (D))

最後に、全面に層間絶縁物69として、プラズマCVD法によって酸化珪素膜を厚さ2000Å~1μm形成した。さらに、TFTのソース68a、ドレイン68bにコンタクトホールを形成し、アルミニウム配線70a、70bを2000Å~1μm、例えば5000Åの厚さに形成した。このアルミニウム配線の下にパリヤメタルとして、例えば空化チタンを形成するとより一層、信頼性を向上させることができた(図6 (E))。

【0037】[実施例5] 以上の実施例1~3はTFT単体素子に関する作製プロセスを述べたものであるが、もちろん、このようにして得られるTFT素子は集積化して薄膜半導体回路としてもよい。その際には、以下の実施例に示すように基板上の特定の回路のみに本発明を実施することが効果的である。例えば、液晶表示装置のように基板上にアクティブマトリクス回路と、それを駆動する周辺回路が設けられている場合等において、アクティブマトリクス回路にのみ本発明を実施するような場合である。

【0038】アクティブマトリクス回路においては、電荷保持の必要からTFTはソース/ドレイン間、ゲイト/ドレイン間のリーク電流が極力小さいことが要求される。本発明のTFTはこのような目的に適している。このような場合には、最初にアクティブマトリクス回路を構成するTFTのソース/ドレインの導電型とは逆のドーピング不純物をアクティブマトリクス回路のTFTの島状半導体領域のエッヂ部に導入し、その際には、周辺回路部をメタルマスク等の簡便なマスクで覆えばよい。図7にその例を示す。図7 (A)は、基板801上に、アクティブマトリクス回路73とそれを駆動するための周辺回路71、72および周辺回路とアクティブマトリクス回路とを接続するための多数の配線75、76が設けられている様子を示している。アクティブマトリクス

回路73にはTFTを1つ有する画素74が多数存在する。このようなブロック構成の集積回路においては、周辺回路71と72をマスク77で覆う。

【0039】一方、周辺回路がアクティブマトリクス回路の上下左右に存在する場合には、マスク78は図7 (B)のようになる。以下にこのような集積回路の作製プロセスについて図8を用いて記述する。なお、図8においては、TFTのゲイト電極に垂直な断面(図1のB-B'断面に相当)のみを示す。基板801上に厚さ1000~4000Å、例えば2000Åの酸化珪素、空化珪素、あるいは空化アルミニウムの单層、あるいはこれらを材料とする多層膜等によって下地膜802を形成した。さらに、厚さ200~1500Å、例えば500Åのアモルファスシリコン膜、および保護膜として厚さ100~500Å、例えば200Åの酸化珪素膜を堆積した。アモルファスシリコン膜は550~650°Cでアニールすることによって結晶化させた。そして、実施例4と同様にレジストのマスク805、806を形成し、ドライエッチング法によって、アモルファスシリコンのエッチングをおこなった。

【0040】この結果、図8 (A)に示すように、島状のシリコン領域803、804が得られたが、そのエッヂ部は実施例4と同様テーパー状になっていた。次に、このレジストをマスクとしてドーピング不純物を導入した。本実施例ではアクティブマトリクスのTFTのソース/ドレインはP型とするために、N型の不純物、例えば、燐を導入した。燐の導入にはプラズマドーピング法を用いた。ドーピングガスとしてはフォスフィン(PH₃)を用い、加速電圧20~60kV、例えば20kVで加速して、シリコン領域に導入した。ドーズ量は、1×10¹⁴~5×10¹⁵cm⁻²、例えば、1×10¹⁵cm⁻²とした。また、このドーピングの際には、メタルマスク807によって周辺回路(図の領域803に相当)を覆っておき、アクティブマトリクス領域(図の804に相当)のみを露出させた。この結果、レジストがなかつた、もしくは、薄かったシリコン領域804のエッヂ部808に燐がドーピングされた。一方、メタルマスク807で覆われていたシリコン領域803には実質的に燐はドーピングされなかった。(図8 (A))

【0041】その後、フォトレジストのマスク材805、806と、その下の保護膜を除去し、スパッタ法もしくはプラズマCVD法によって、厚さ1000~1500Åの酸化珪素膜809を形成し、引き続ぎ、厚さ1000Å~3μmのアルミニウム(1wt%のSi、もしくは0.1~0.3wt%のSc(スカンジウム)を含む)膜を電子ビーム蒸着法もしくはスパッタ法によって形成した。酸化珪素膜809の形成の前にレーザー光等の強光、例えば、KrFエキシマーレーザー、XeC1エキシマーレーザー等のレーザー光を照射することによって結晶化を助長せしめてもよかったです。

(8)

特開平6-314787

13

【0042】その後、アルミニウム膜のエッチングをおこない、得られたアルミニウム配線の周囲に実施例2と同様に陽極酸化物層を形成し、ゲート電極・配線810、811、812を形成した。(図8(B))

この状態で、イオンドーピング法によって、TFTの活性半導体層803、804に、P型不純物としてはホウ素、N型不純物としては燐をプラズマドーピング法によって注入し、KrFエキシマーレーザー(波長248nm、パルス幅20nsec)を照射して、活性層中に導入された不純物イオンの活性化をおこなった。この結果、N型不純物領域813、814、P型不純物領域815～818が形成された。先に燐イオンの注入された領域808は、この工程によってP型の領域819、820となったが、燐の存在によって、他のソース、ドレイン領域よりはP型は弱かった。(図8(C))

【0043】最後に、全面に層間絶縁層821として、プラズマCVD法によって酸化珪素膜を厚さ2000Å～1μm形成した。そして、スパッタ法によってITO(インジウム錫酸化物)膜を500～1000Å、例えば800Å堆積し、これをパターニング・エッチングして、画素電極822を形成した。さらに、TFTのソース、ドレインにコンタクトホールを形成し、アルミニウムと窒化チタンの多層膜によって配線823～827を形成した。以上によって、アクティブラトリックス回路と、それを駆動するための周辺回路を有する薄膜半導体集積回路を形成することができた。(図8(D))

【0044】

【発明の効果】本発明によって、薄膜半導体装置の歩留りを向上させ、また、その信頼性を高め、最大限を特性を引き出すことが可能となった。本発明の薄膜半導体装置は、特に、ゲートードレイン間、ゲート～ソース間のリード電流が低く、高いゲート電圧にも耐えられる等の特徴から液晶ディスプレーのアクティブラトリックス回路における画素制御用のトランジスタとして好ましい。

【0045】本発明ではNチャネル型のTFTを例にとって説明したが、Pチャネル型TFTや同一基板上にN

10

20

30

14

チャネル型とPチャネル型の混在した相補型の回路の場合も同様に実施できることは言うまでもない。また、実施例に示したような簡単な構造のものばかりではなく、例えば、特願平5-256667に示されるようなソース／ドレインにシリサイドを有するような構造のTFTに用いててもよい。本発明はTFTを中心として説明した。しかし、他の回路素子、例えば、1つの島状半導体領域に複数のゲート電極を有する薄膜集積回路、スタックトゲート型TFT、ダイオード、抵抗、キャバシタにも適用できることは言うまでもない。さらに、実施例5において示したように、薄膜集積回路の特定の部分の薄膜素子に本発明を適用することによって、個々の素子の特性を生かした回路を作成することができた。このように本発明は工業上、有益な発明である。

【図面の簡単な説明】

- 【図1】 本発明のTFTの構成例を示す。
- 【図2】 実施例1のTFTの作製工程断面を示す。
- 【図3】 実施例2のTFTの作製工程断面を示す。
- 【図4】 実施例3のTFTの作製工程断面を示す。
- 【図5】 従来のTFTの構成例を示す。
- 【図6】 実施例4のTFTの作製工程断面を示す。
- 【図7】 実施例5の薄膜集積回路のブロック図を示す。
- 【図8】 実施例5の薄膜集積回路の作製工程断面を示す。

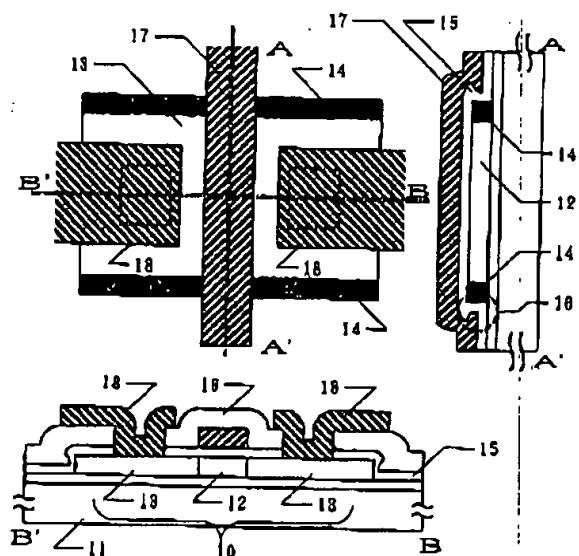
【符号の説明】

- 10・・・島状半導体領域
- 11・・・基板
- 12・・・チャネル形成領域(実質的に真性)
- 13・・・不純物領域(ソース、ドレイン)
- 14・・・ドーピング領域(不純物領域とは逆の導電型の不純物を含む)
- 15・・・ゲート絶縁膜
- 16・・・島状半導体領域の端部
- 17・・・ゲート電極
- 18・・・ソース、ドレイン電極

(9)

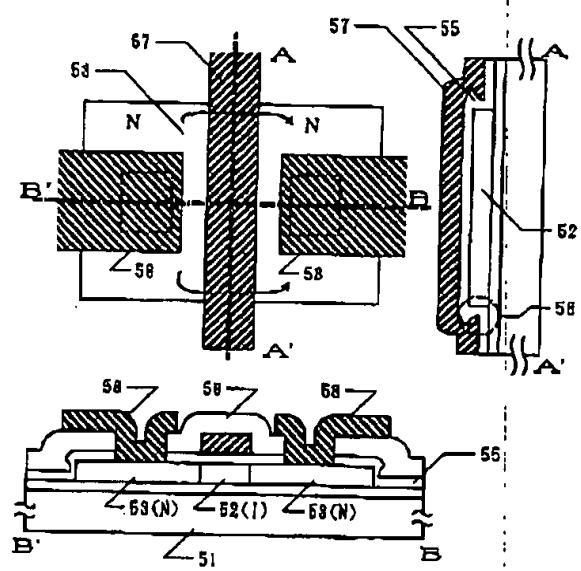
特開平6-314787

【図1】

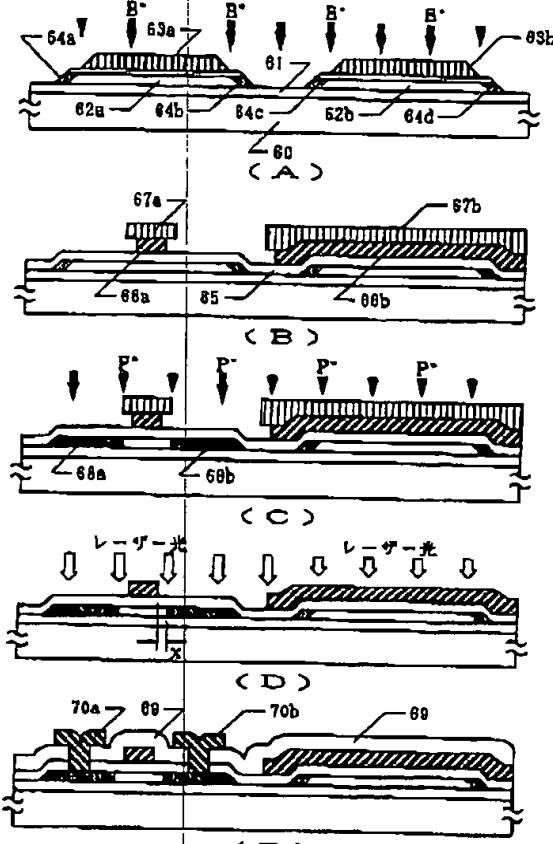


特開平6-314787

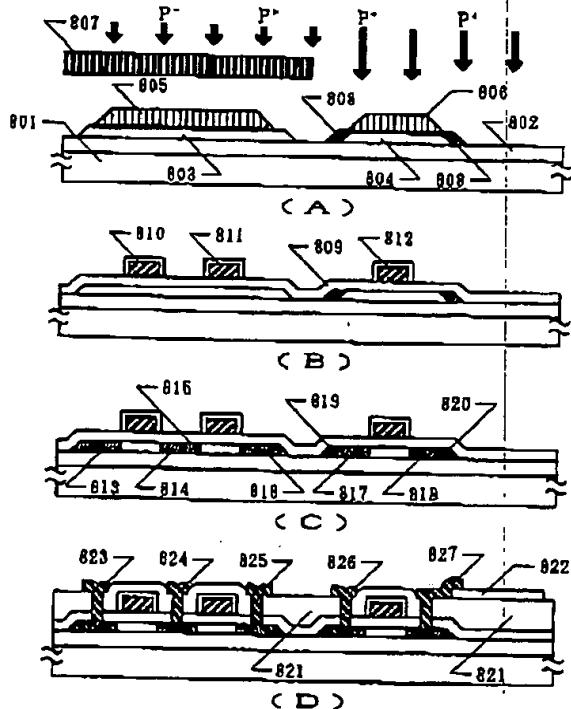
【図5】



【図6】



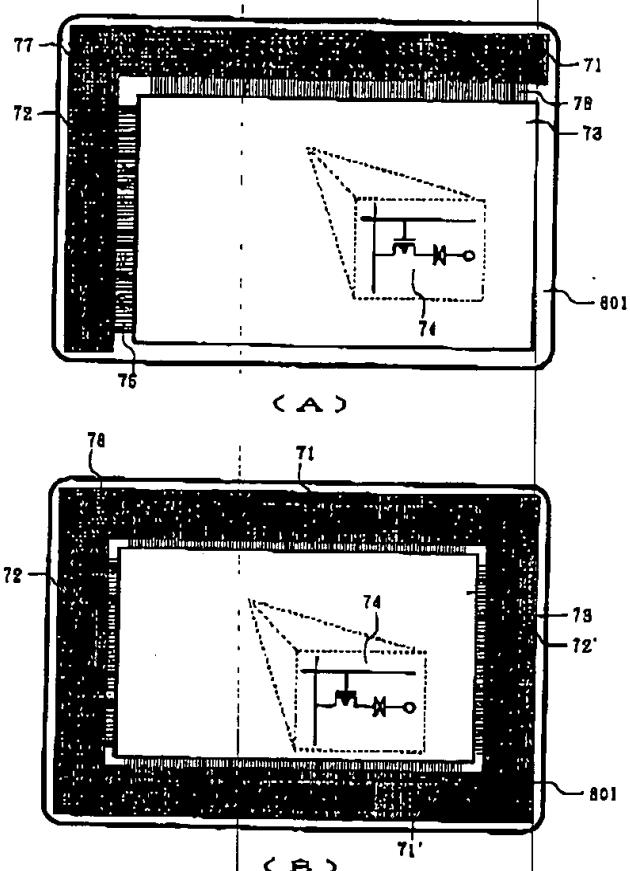
【図8】



(11)

特開平6-314787

【図7】



フロントページの続き

(51) Int. Cl.:

識別記号

庁内整理番号

F I

技術表示箇所

8617-4M

H 01 L 21/265

S

9056-4M

29/78

3 1 1 S